VHDL开发环境介绍

硬件描述语言VHDL是用来描述硬件的语言，通常用于CPLD和FPGA的硬件程序设计。VHDL语言的编译环境可由所用芯片厂商提供，如ALTERA公司的QuartusII等软件，还可由第三方综合软件来进行编译和仿真如Modelsim等。

下面以Modelsim仿真软件为例进行介绍。

ModelSim是Mentor公司的HDL语言仿真软件，它能给与用户良好的仿真环境，是业界唯一的单内核也支持VHDL和Verilog混合仿真的仿真器。它采用直接优化的编译、Tcl/Tk等技术，具有编译仿真速度快，编译的代码与平台无关，便于保护IP内核，个性化的图像界面和用户接口等特点。其为用户调试提供了强有力的工具，是FPGA和ASIC用的最多的仿真软件。下面主要说明modelsim13的具体安装和使用。

1. 安装文件

在网上下载ModelsimSetup-13,下载完成后，安装ModelsimSetup-13只需要双击该文件，就可以运行，或者选中此文件，右键单击“以管理员身份运行”也可以。

1. 下一步

双击了安装启动软件之后，提示“welcome to the modelsim-altera edition10.1d setup wizard”,就是欢迎来到modelsim10.0版本软件的安装向导。然后单击"Next"，，进入下一步。

1. 选择安装版本

这个界面是选择安装哪一个版本的modelsim软件，在这里我们选择第一个"ModelSim-Altera Starter Edition"这个版本，这个版本是不需要license进行破解的。然后单击”next“，进入下一步。

1. 同意安装协议

安装一个软件，需要同意安装使用协议。如果选择“I do not accept the agreement”,软件将无法安装，这里我们勾选“I accept the agreement”，然后单击“next”，进入下一步

1. 安装目录

选择一个适合的安装目录，一般安装到自己的软件盘，而常常不安装在C盘。C盘的资源比较珍贵，所以一般安装在其他盘符，这里我选择安装在E盘。然后单击“next”，进入下一步。

1. 等待安装完成

上一步的安装路径设好后，我们单击“Next”，进入安装等待界面。现在只需要等待安装即可，安装过程时间可能比较长。

1. 完成安装

等待安装完成后，出现下图界面表示已经安装完毕。这时取消勾选“Provide your feedback”,然后单击“Finnish”之后，软件已经成功安装。

1. modelsim下建立VHDL源程序及编译仿真方法
2. 新建工程

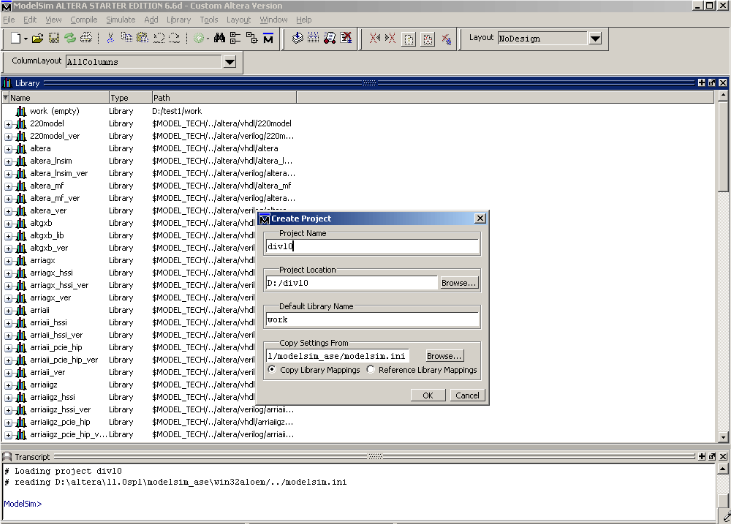
打开modelsim 🡪 file 🡪new 🡪 project，新建工程，输入工程名，文件存放路径后（文件需要放入文件夹中），进入下一步。如图-1所示：

图-1

1. 在主体窗口下方出现了project标签，见图-2

图-2

1. 新建文件

--create new file: 输入名称div10, 选择语言VHDL

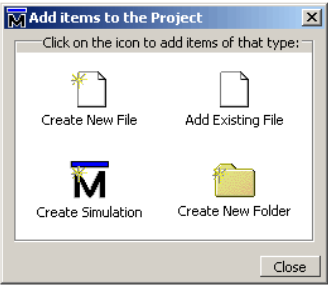
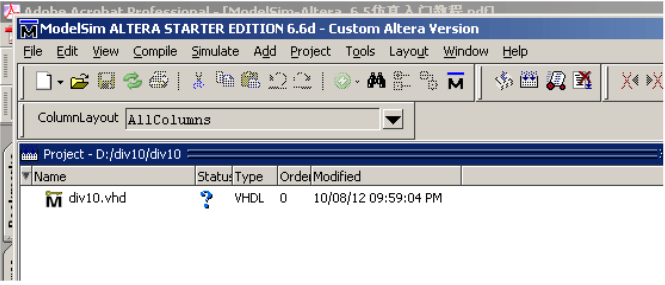
--关闭对话框，如图-3所示

图-3

新的工程文件将会在工程窗口出现。如图-4所示：

图-4

1. 写入源程序（VHDL）

双击div10.vhd，打开文本编辑器。

示例代码如下（一个十分频的VHDL源代码）：

Library ieee;

Use ieee.std\_logic\_1164.all;

Use ieee.std\_logic\_arith.all;

Use ieee.std\_logic\_unsigned.all;

Entity div10 is

Port(clk :in std\_logic;

Div :out std\_logic);

End div10;

Architecture behav of div10 is

Signal temp :std\_logic:=’0’;

Signal count :std\_logic\_vector(2 downto 0):=”000”

Begin

Process(clk)

Begin

If(clk’event and clk=’1’)then

If(count=”100”)then

Count<=(others=>’0’);

Temp<=not temp;

Else

Count <= count+1;

End if;

End if;

End process;

Div<=temp;

End behav;

1. 写testbench

Modelsim单独使用时需要自己写testbench，输入时钟，给测试电路加以激励源以驱动电路。

再次新建一个VHDL文件，即写入testbench，采用50MHZ时钟频率，命名div10\_tb

Library ieee;

Use ieee.std\_logic\_1164.all;

Use ieee.std\_logic\_arith.all;

Use ieee.std\_logic\_unsigned.all;

Entity div10\_tb is

End div10\_tb;

Architecture one of div10\_tb is

Component div10 is

Port(clk :in std\_logic;

Div :out std\_logic);

End component;

Signal clk :std\_logic:=’0’;

Signal div :std\_logic:=’0’;

Constant clk\_period:time:=20 ns;

Begin

Ul:

Div 10 port map

(clk=>clk, div=>div);

Process

Begin

Wait for clk\_period/2;

Clk <= ‘1’;

Wait for clk\_period/2;

Clk <= ’0’;

End process;

End;

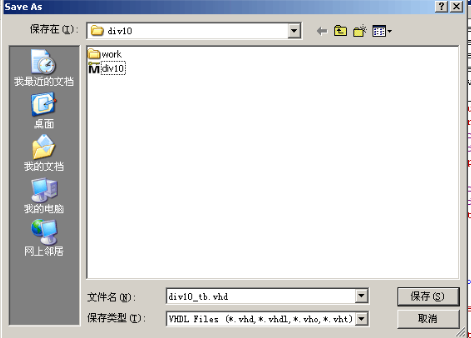
保存为div10\_tb.vhd文件，如图-5所示。

图-5

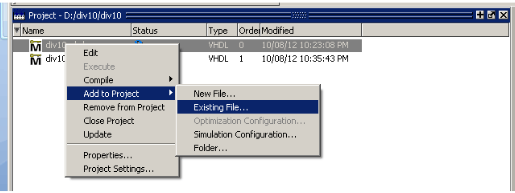
如果新建的testbench文件不在工程中，则需要将它添加过来。在workspace中右击—add to project – existing file –选择所要添加的文件div10\_tb。如图-6

图-6

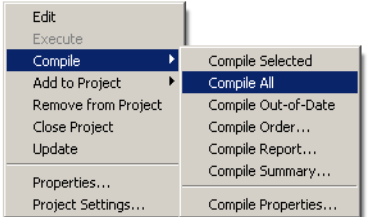
全部添加完成后，全部编译一次compile all，如图-7

图-7

1. 开始仿真

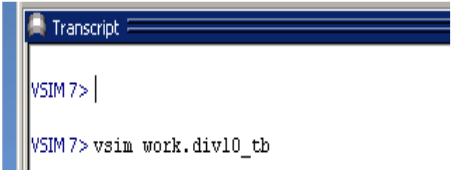
--在命令行中输入vsim work.div10\_tb 对生成的testbench进行仿真，如图-8所示

图-8

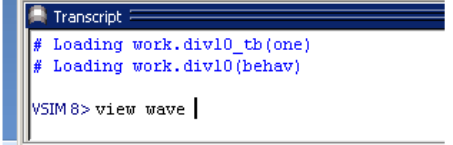
--输入view wave 查看波形，如图-9

图-9

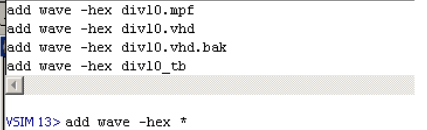
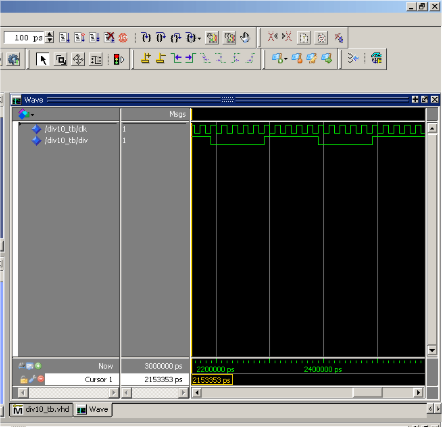
--输入add wave –hex \*添加信号到波形图hex只用十六进制观看 注意hex与\*之间有个空格。如图-10

图-10

--输入run 3μs观察波形

如图-11所示

图-11

这样即完成仿真